



Docket No.: 70366-011

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Atsuhiko YAMASHITA, et al.	:	Confirmation Number: 7109
Serial No.: 10/759,536	:	Group Art Unit: 2879
Filed: January 20, 2004	:	Examiner:
For: DISPLAY DEVICE OF ACTIVE MATRIX DRIVE TYPE	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following applications:

Japanese Patent Application No. 2003-011046, filed January 20, 2003

and

Japanese Patent Application No. 2003-300684, filed August 26, 2003

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:prg
Facsimile: (202) 756-8087
Date: June 22, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

70366-011

Jan. 20, 2004

Yamashita et al.

10/759,536

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

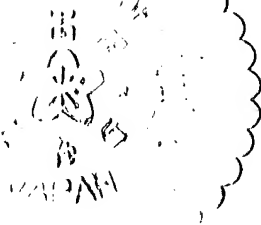
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 2 0 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 1 1 0 4 6

[ST. 10/C]: [J P 2 0 0 3 - 0 1 1 0 4 6]

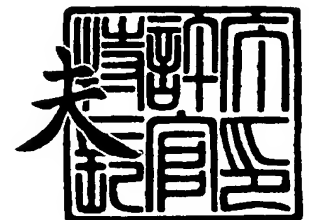
出 願 人
Applicant(s): 三 洋 電 機 株 式 会 社



2 0 0 4 年 1 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 9 7 4 7

【書類名】 特許願

【整理番号】 NQB1020053

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 山下 敦弘

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 野口 幸宏

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100100114

 【弁理士】

 【氏名又は名称】 西岡 伸泰

 【電話番号】 06-6940-1766

【手数料の表示】

 【予納台帳番号】 037811

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル駆動型表示装置

【特許請求の範囲】

【請求項 1】 複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるデジタル駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオンとするためのオン制御素子と、前記駆動素子をオフとするためのオフ制御素子と、前記電圧保持手段の出力電圧に応じて、前記オン制御素子のオン動作又はオフ制御素子のオフ動作のタイミングを制御する制御手段とを具備していることを特徴とするデジタル駆動型表示装置。

【請求項 2】 複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されるデジタル駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオフとするためのオフ制御素子とを具備すると共に、互いに近接する複数の画素からなる画素グループ毎に、各画素の駆動素子をオンとするためのオン制御素子と、各画素の電圧保持手段の出力電圧に応じて、前記オフ制御素子のオフ動作のタイミングを制御する制御手段とが設けられていることを特徴とするデジタル駆動型表示装置。

【請求項 3】 複数の画素をマトリクス状に配列して構成される表示パネル

に、走査ドライバーとデータドライバーを接続して構成されるデジタル駆動型表示装置において、

表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオンとするためのオン制御素子とを具えると共に、互いに近接する複数の画素からなる画素グループ毎に、各画素の駆動素子をオフとするためのオフ制御素子と、各画素の電圧保持手段の出力電圧に応じて、前記オン制御素子のオン動作のタイミングを制御する制御手段とが設けられていることを特徴とするデジタル駆動型表示装置。

【請求項4】 複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成され、表示パネルの各画素は、

電流又は電圧の供給を受けて発光する表示素子と、

走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、

書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、

オン／オフ制御信号の入力に応じて、前記表示素子に対する通電をオン／オフする駆動素子と、

所定の変化率を有するランプ電圧と前記電圧保持手段の出力電圧との差をパルス幅変調して、前記駆動素子のオン／オフを制御するパルス幅変調手段とを具え、前記パルス幅変調手段は、前記駆動素子をオンとするためのオン制御素子と前記駆動素子をオフとするためのオフ制御素子とを具えていることを特徴とするデジタル駆動型表示装置。

【請求項5】 前記オン制御素子は、前記ランプ電圧に応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記データ電圧とランプ電圧の和に応じた電圧の印加によって動作し、前記駆動素

子をオフとするものである請求項 4 に記載のデジタル駆動型表示装置。

【請求項 6】 前記オン制御素子は、前記データ電圧とランプ電圧の和の大きさに応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記ランプ電圧の大きさに応じた電圧の印加によって動作し、前記駆動素子をオフとするものである請求項 4 に記載のデジタル駆動型表示装置。

【請求項 7】 表示素子へ電流を供給すべき高電位の電源 V_{DD} と、オン制御素子及びオフ制御素子の動作基準となる低電位の電源 V_{SS} とを繋ぐ信号ラインには、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ向けて流れる電流を遮断するための素子が介在している請求項 1 乃至請求項 6 の何れかに記載のデジタル駆動型表示装置。

【請求項 8】 表示パネルの各画素は、表示素子に流れる電流をプログラムするための電流プログラム回路を具えている請求項 1 乃至請求項 7 の何れかに記載のデジタル駆動型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機エレクトロルミネッセンス表示装置の如く、複数の画素をマトリクス状に配列して構成される表示パネルを具えた表示装置に関するものである。

【0002】

【従来の技術】

近年、有機エレクトロルミネッセンスディスプレイ(以下、有機 EL ディスプレイという)の開発が進んでおり、例えば携帯電話機に有機 EL ディスプレイを採用することが検討されている。

有機 EL ディスプレイの駆動方式としては、走査電極とデータ電極を用いて時分割駆動するパッシブマトリクス駆動型と、各画素の発光を 1 垂直走査期間に亘って維持するアクティブマトリクス駆動型とが知られている。

【0003】

アクティブマトリクス駆動型の有機ELディスプレイにおいては、図19に示す如く、各画素(52)に、有機EL素子(50)と、有機EL素子(50)に対する通電を制御する駆動用トランジスタTR2と、走査電極による走査電圧SCANの印加に応じて導通状態となる書込み用トランジスタTR1と、該書込み用トランジスタTR1が導通状態となることによってデータ電極からのデータ電圧DATAが印加される容量素子Cとが配備され、該容量素子Cの出力電圧が駆動用トランジスタTR2のゲートに印加されている。

【0004】

先ず、各走査電極に順次電圧を印加し、同一走査電極に繋がっている複数の第1トランジスタTR1を導通状態にし、この走査に同期して各データ電極にデータ電圧(入力信号)を印加する。このとき、第1トランジスタTR1が導通状態であるので、該データ電圧に応じた電荷が容量素子Cに蓄積される。

次に、この容量素子Cに蓄積された電荷量によって第2トランジスタTR2の動作状態が決まり、第2トランジスタTR2がオンになったとき、該第2トランジスタTR2を経て有機EL素子(50)にデータ電圧に応じた大きさの電流が供給される。この結果、データ電圧に応じた明るさで該有機EL素子(50)が点灯する。この点灯状態は、1垂直走査期間に亘って保持されることになる。

【0005】

上述の如く、有機EL素子(50)にデータ電圧に応じた大きさの電流を供給して、該有機EL素子(50)をデータ電圧に応じた明るさで点灯させるアナログ駆動方式の有機ELディスプレイに対し、有機EL素子(50)にはデータ電圧に応じたデューティ比を有するパルス電流を供給することによって多階調を表現するデジタル駆動型の有機ELディスプレイが提案されている(例えば特許文献1参照)。

【0006】

デジタル駆動型の有機ELディスプレイにおいては、図21(a)に示す如く、1画面の表示周期である1フィールド(若しくは1フレーム)を複数(N)のサブフィールド(若しくはサブフレーム)SFに分割し、各サブフィールドSFは、走査期間と発光期間によって構成する。ここで、1つのフィールドに含まれる走査期間は全て同じ長さを有しているが、発光期間は、2のn乗($n=0, 1, 2, \dots$)

・ ・ $N-1$)の長さに変化している。図示する例($N=4$)では4つの発光期間がそれぞれ8, 4, 2, 1の長さに設定されており、各発光期間のオン/オフによって16階調の表現が可能となっている。

【0007】

上述のサブフィールド駆動においては、各サブフィールドSFにおいて、走査期間内に、各画素を構成する書込み用トランジスタTR1に走査電圧を印加して、容量素子Cにそのサブフィールドの2値データを書き込み、その後の発光期間に、駆動用トランジスタTR2により、有機EL素子に対して2値データに応じて電流を供給する。

【0008】

しかしながら、上述のサブフィールド駆動法を採用した有機ELディスプレイにおいては、1フィールド内の複数のサブフィールドのそれぞれで全水平走査線に対する走査が必要であるため、多階調化に伴って高速の走査が必要となる問題や、擬似輪郭が発生する問題があった。

【0009】

そこで出願人は、図20に示す如き有機EL表示装置を提案している。該有機EL表示装置において、各画素(51)は、有機EL素子(50)と、ゲートに対するオン/オフ制御信号の入力に応じて有機EL素子(50)に対する通電をオン/オフする駆動用トランジスタTR2と、走査ドライバーからの走査電圧がゲートに印加されて導通状態となる書込み用トランジスタTR1と、書込み用トランジスタTR1が導通状態となることによってデータドライバーからのデータ電圧が印加される容量素子Cと、ランプ電圧発生回路から供給されるランプ電圧と容量素子Cの出力電圧とが正負一対の入力端子に供給されて、両電圧を比較するコンパレータ(9)とを具え、コンパレータ(9)の出力信号が駆動用トランジスタTR2のゲートへ供給される。

【0010】

駆動用トランジスタTR2のソースには電流供給ライン(54)が接続され、駆動用トランジスタTR2のドレインは有機EL素子(50)に接続されている。書込み用トランジスタTR1の一方の電極(例えばソース)には前記データドライバーが

接続され、書込み用トランジスタTR1の他方の電極(例えばドレイン)は、容量素子Cの一端に接続されると共に、コンパレータ(9)の反転入力端子に接続されている。コンパレータ(9)の非反転入力端子には前記ランプ電圧発生回路の出力端子が接続されている。

【0011】

上記有機EL表示装置においては、図21(b)に示す様に、1フィールド期間が、前半の走査期間と後半の発光期間とに分割される。

走査期間には、各水平ラインについて、各画素(51)を構成する書込み用トランジスタTR1に走査ドライバーからの走査電圧が印加されて、書込み用トランジスタTR1が導通状態となり、これによって、容量素子Cには、データドライバーからのデータ電圧が印加され、該電圧が電荷として蓄積される。この結果、有機EL表示装置を構成する全ての画素に対して、1フィールド分のデータが設定されることになる。

【0012】

ランプ電圧発生回路は、図21(c)に示す如く1フィールド期間毎に、前半の走査期間ではハイの電圧値を維持し、後半の発光期間では、ローの電圧値からハイの電圧値まで直線的に変化するランプ電圧を発生する。

前半の走査期間に、ランプ電圧発生回路からのハイの電圧がコンパレータ(9)の非反転入力端子に印加されることによって、コンパレータ(9)の出力は、反転入力端子への入力電圧に拘わらず図21(d)に示す如く常にハイとなる。

又、後半の発光期間にランプ電圧発生回路からのランプ電圧がコンパレータ(9)の非反転入力端子に印加されると同時に、容量素子Cの出力電圧(データ電圧)がコンパレータ(9)の反転入力端子に印加されることによって、コンパレータ(9)の出力は、図21(d)に示す如く両電圧の比較結果に応じてロー及びハイの2つの値をとる。即ち、ランプ電圧がデータ電圧を下回っている期間はコンパレータの出力がローとなり、ランプ電圧がデータ電圧を上回っている期間はコンパレータの出力がハイとなる。ここで、コンパレータの出力がローとなる期間の長さは、データ電圧の大きさに比例することになる。

【0013】

この様にして、コンパレータ(9)の出力がデータ電圧の大きさに比例する期間だけローとなることによって、該期間だけ駆動用トランジスタTR2がオンとなり、有機EL素子(50)への通電がオンとなる。

この結果、各画素(51)の有機EL素子(50)は、1フィールド期間内で、各画素(51)に対するデータ電圧の大きさに比例する期間だけ発光することになり、これによって多階調の表現が実現される。

【0014】

上述の有機EL表示装置によれば、1フィールド期間内に1回の走査を行なうだけで多階調表現が行なわれるので、高速の走査は不要であり、然も擬似輪郭が発生することはない。

【0015】

【特許文献1】

特開平10-312173号公報

【特許文献2】

特許第3305946号公報

【特許文献3】

特開2000-235370号公報

【特許文献4】

特開2002-297097号公報

【特許文献5】

特開2002-287682号公報

【0016】

【発明が解決しようとする課題】

しかしながら、図20に示す画素(51)から構成される有機EL表示装置においても、コンパレータ(9)を構成している複数のトランジスタの特性にバラツキが生じることは避けることが出来ず、この結果、コンパレータ(9)の出力がローとなる時間、即ち有機EL素子(50)に電流が流れる時間が、データ電圧の大きさに正確には比例しなくなって、画質が劣化する問題が残されていた。

又、上記特許文献2や特許文献4に示されている表示装置においては、コンパ

レータに流れる電流が有機EL素子に流れる電流に比べて無視出来ない大きさとなって、消費電力が増大する問題があった。

そこで本発明の第1の目的は、各画素を構成するトランジスタの特性のバラツキに拘わらず、表示素子に対する通電時間がデータ電圧の大きさに正確に比例することとなる、デジタル駆動型の表示装置を提供することである。

又、本発明の第2の目的は、従来よりも消費電力の節減を図ることが出来る、デジタル駆動型の表示装置を提供することである。

【0017】

【課題を解決する為の手段】

本発明に係るデジタル駆動型表示装置は、複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成されている。そして、表示パネルの各画素は、電流又は電圧の供給を受けて発光する表示素子と、走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、オン／オフ制御信号の入力に応じて前記表示素子に対する通電をオン／オフする駆動素子と、前記駆動素子をオンとするためのオン制御素子と、前記駆動素子をオフとするためのオフ制御素子と、前記電圧保持手段の出力電圧の大きさに応じて、前記オン制御素子のオン動作又はオフ制御素子のオフ動作のタイミングを制御する制御手段とを具えている。

【0018】

又、本発明に係るデジタル駆動型表示装置は、複数の画素をマトリクス状に配列して構成される表示パネルに、走査ドライバーとデータドライバーを接続して構成され、表示パネルの各画素は、

電流又は電圧の供給を受けて発光する表示素子と、

走査ドライバーからの走査電圧が印加されて導通状態となる書込み素子と、

書込み素子が導通状態となることによってデータドライバーからのデータ電圧が印加されて、該電圧を保持する電圧保持手段と、

オン／オフ制御信号の入力に応じて、前記表示素子に対する通電をオン／オフ

する駆動素子と、

所定の変化率を有するランプ電圧と前記電圧保持手段の出力電圧との差をパルス幅変調して、前記駆動素子のオン／オフを制御するパルス幅変調手段とを具え、前記パルス幅変調手段は、前記駆動素子をオンとするためのオン制御素子と前記駆動素子をオフとするためのオフ制御素子とを具えている。

【0019】

具体的構成において、前記オン制御素子は、前記ランプ電圧に応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記データ電圧とランプ電圧の和に応じた電圧の印加によって動作し、前記駆動素子をオフとするものである。

或いは、前記オン制御素子は、前記データ電圧とランプ電圧の和の大きさに応じた電圧の印加によって動作し、前記駆動素子をオンとするものであり、前記オフ制御素子は、前記ランプ電圧の大きさに応じた電圧の印加によって動作し、前記駆動素子をオフとするものである。

【0020】

上記本発明のデジタル駆動型表示装置においては、1画面の表示周期内の走査期間にて、各画素を構成する書込み素子に走査ドライバーからの走査電圧を印加して、書込み素子を導通状態とすることによって、電圧保持手段に、データドライバーからのデータ電圧が印加されて、該電圧が保持される。

一方、1画面の表示周期内の発光期間内には、所定の変化率を有するランプ電圧がパルス幅変調手段に印加され、該パルス幅変調手段は、前記ランプ電圧と電圧保持手段の出力電圧(データ電圧)との差をパルス幅変調し、それに応じて、オン制御素子が駆動素子をオンとした後、データ電圧に応じた期間が経過した時点で、オフ制御素子が駆動素子をオフとする。この結果、データ電圧に応じた期間だけ表示素子が通電されることになる。

【0021】

ここで、一対となるオン制御素子とオフ制御素子とは、同一画素内に存在して互いに近接しており、然も同一の製造プロセスによって同時に形成されるものであるので、特性のバラツキ(例えばゲートソース間のスレッシュホールドレベル)が

同様に生ずることとなり、そのバラツキによってオン制御素子が駆動素子をオンとする時点がずれたとしても、その後にオフ制御素子が駆動素子をオフとする時点も同じだけ同じ方向にずれることになる。従って、オン制御素子が駆動素子をオンとしてからオフ制御素子が駆動素子をオフとするまでの時間は、両制御素子の特性のバラツキに拘わらず、データ電圧に応じた時間となる。

【 0 0 2 2 】

【発明の効果】

本発明に係るデジタル駆動型表示装置によれば、各画素を構成する複数のトランジスタの特性のバラツキに拘わらず、各画素の表示素子に対してデータ電圧に応じた正確な通電時間が設定されるので、高い画質を得ることが出来る。

又、本発明に係るデジタル駆動型表示装置によれば、パルス幅変調手段で発生する無効電力を極めて低く抑えることが出来、これによって消費電力の節減が図られる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明を有機 E L 表示装置に実施した形態につき、図面に沿って具体的に説明する。

全体構成

本発明に係る有機 E L ディスプレイ(2)は、図 1 に示す如く、複数の画素をマトリクス状に配列して構成される表示パネル(5)に、走査ドライバー(3)とデータドライバー(4)を接続して構成されている。

T V 受信機等の映像ソースから供給される映像信号は、映像信号処理回路(6)へ供給されて、映像表示に必要な信号処理が施され、これによって得られる R G B 3 原色の映像信号が、有機 E L ディスプレイ(2)のデータドライバー(4)へ供給される。

【 0 0 2 4 】

又、映像信号処理回路(6)から得られる水平同期信号 H sync 及び垂直同期信号 V sync がタイミング信号発生回路(7)へ供給され、これによって得られるタイミング信号が走査ドライバー(3)及びデータドライバー(4)へ供給される。

又、タイミング信号発生回路(7)から得られるタイミング信号がランプ電圧発生回路(8)へ供給され、これによって、有機ELディスプレイ(2)の駆動に用いられるランプ電圧が生成され、該ランプ電圧が表示パネル(5)の各画素へ供給される。更に、タイミング信号発生回路(7)から得られるリセット信号が表示パネル(5)の各画素へ供給される。

尚、図1に示す各回路、各ドライバー及び有機ELディスプレイには電源回路(図示省略)が接続されている。

【0025】

表示パネル(5)は、図2に示す回路構成の画素(51)をマトリクス状に配列して構成されている。各画素(51)は、有機EL素子(50)と、ゲートに対するオン/オフ制御信号の入力に応じて有機EL素子(50)に対する通電をオン/オフする駆動用トランジスタTR2と、前記走査ドライバーからの走査電圧がゲートに印加されて導通状態となる書込み用トランジスタTR1と、書込み用トランジスタTR1が導通状態となることによって前記データドライバーからのデータ電圧が印加される容量素子C1と、前記ランプ電圧発生回路から供給されるランプ電圧RA_{MP}と容量素子C1の出力電圧との差にパルス幅変調を施すパルス幅変調回路(90)とを具えている。

容量素子C1の両端はそれぞれ、書込み用トランジスタTR1のドレインとランプ電圧供給ラインに接続されている。

【0026】

第1実施例

図2に示す如く、パルス幅変調回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えている。

有機ELディスプレイ(2)には、各画素(51)に共通の高電位の電源V_{DD}と低電位の電源V_{SS}とが設けられ、高電位の電源V_{DD}には、各画素(51)の駆動用トランジスタTR2のソースが接続されている。電源V_{DD}とV_{SS}の間には、前記のオン制御用トランジスタTR3とオフ制御用トランジスタTR4が互いに並列に介在すると共に、一対のトランジスタTR5及びTR6が互いに直列に介

在し、両トランジスタの連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

【0027】

オン制御用トランジスタTR3のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR4のゲートには容量素子C1の出力電圧(データ電圧)が供給される。

電源VDDとトランジスタTR5のゲートには、容量素子C2の両端がそれぞれ接続されると共に、リセット用のトランジスタTR7のソースとドレインがそれぞれ接続され、該トランジスタTR7のゲートに、リセット信号線RESETが接続されている。

【0028】

上記画素(51)から構成される有機EL表示装置においては、図3に示す如く、走査期間での走査電圧SCANの供給によって書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積された後、リセット信号RESETがハイからローとなることによって、リセット用のトランジスタTR7がオンとなり、容量素子C2の両端が高電位の電源電圧VDDにセットされる。この結果、トランジスタTR5がオフとなる。

尚、この時点で、他のトランジスタTR2、TR3、TR4及びTR6は全てオフとなっている。

【0029】

その後、発光期間において、ランプ電圧RAMPが上昇して低電位の電源電圧VSSとの差が増大し、オン制御用トランジスタTR3のゲート-ソース間のスレッシュホールドレベルVthを上回ると、該トランジスタTR3がオンとなる。これによって、トランジスタTR6が導通して、駆動用トランジスタTR2のゲート電圧(B点の電圧)が低下し、これによって駆動用トランジスタTR2が導通する。この結果、高電位の電源VDDから有機EL素子(50)に電流が流れて、発光が開始される。

【0030】

その後、更にランプ電圧が上昇し、これに伴ってA点の電圧が上昇して低電位

の電源電圧 V_{SS} との差が増大し、オフ制御用トランジスタ TR_4 のゲートソース間のスレッシュホールドレベル V_{th} を上回ると、該トランジスタ TR_4 が導通して、トランジスタ TR_6 のゲート電圧を低下させる。これによって該トランジスタ TR_6 がオフとなる。又、これと同時に、トランジスタ TR_5 がオンとなり、駆動用トランジスタ TR_2 のゲート電圧(B点の電圧)が上昇する。この結果、駆動用トランジスタ TR_2 がオフとなり、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光終了時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0031】

上記パルス幅変調回路(90)においては、オン制御用トランジスタ TR_3 とオフ制御用トランジスタ TR_4 とが同一画素(51)内の互いに近接した位置に形成されており、然も両トランジスタは同一の製造プロセスによって同時に形成されるので、各トランジスタのゲートソース間のスレッシュホールドレベルにバラツキがあったとしても、両トランジスタのバラツキは同様に発生するので、そのバラツキによってオン制御用トランジスタ TR_3 が駆動用トランジスタ TR_2 をオンさせる時点がずれたとしても、その後オフ制御用トランジスタ TR_4 が駆動用トランジスタ TR_2 をオフとする時点も同じだけ同じ方向にずれることになる。

従って、オン制御トランジスタ TR_3 が駆動用トランジスタ TR_2 をオンしてからオフ制御用トランジスタ TR_4 が駆動用トランジスタ TR_2 をオフとするまでの時間は、両トランジスタ TR_3 、 TR_4 のスレッシュホールドレベルのバラツキに拘わらず、正確にデータ電圧に応じた時間となる。

【0032】

又、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ繋がる信号ラインには、一対のトランジスタ TR_5 、 TR_6 が介在しており、走査期間においてトランジスタ TR_6 がオフの状態、トランジスタ TR_5 はリセット信号の供給に応じてオフとなり、その後、発光期間においてトランジスタ TR_6 がオンからオフとなると同時に、トランジスタ TR_5 がオンとなって、発光が停止されるので、走査期

間及び発光期間を通じて一対のトランジスタTR5、TR6の少なくとも何れか一方がオフとなり、高電位の電源V_{DD}から低電位の電源V_{SS}への電流通路を遮断する。従って、高電位の電源V_{DD}から低電位の電源V_{SS}へ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。

【0033】

第2実施例

図4に示す如く、各画素(51)の回路構成において、パルス幅変調回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えているが、オン制御用トランジスタTR3のゲートには容量素子C1の出力電圧(データ電圧)が供給され、オフ制御用トランジスタTR4のゲートにはランプ電圧RAMPが供給されている点と、トランジスタTR5に対して並列に容量素子C3が接続されている点を除き、第1実施例と同じ構成である。

【0034】

該画素(51)からなる有機EL表示装置においては、図5の如く、発光期間において、ランプ電圧RAMPが上昇し、これに伴ってA点の電圧が上昇して低電位の電源電圧V_{SS}との差が増大し、オン制御用トランジスタTR3のゲートソース間のスレッシュホールドレベルV_{th}を上回ると、該トランジスタTR3がオンとなる。これによって、トランジスタTR6が導通して、駆動用トランジスタTR2のゲート電圧(B点の電圧)が低下し、これによって駆動用トランジスタTR2が導通する。この結果、高電位の電源V_{DD}から有機EL素子(50)に電流が流れて、発光が開始される。

【0035】

更にランプ電圧が上昇して低電位の電源電圧V_{SS}との差が増大し、オフ制御用トランジスタTR4のゲートソース間のスレッシュホールドレベルV_{th}を上回ると、該トランジスタTR4が導通して、トランジスタTR6のゲート電圧を低下させる。これによって該トランジスタTR6がオフとなる。又、これと同時に、トランジスタTR5がオンとなり、駆動用トランジスタTR2のゲート電圧(B点の電圧)が上昇する。この結果、駆動用トランジスタTR2がオフとなり、

有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光開始時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0036】

上記パルス幅変調回路(90)においても、第1実施例と同様に、オン制御用トランジスタTR3とオフ制御用トランジスタTR4のゲートソース間のスレッシュホールドレベルにバラツキがあったとしても、オン制御用トランジスタTR3が駆動用トランジスタTR2をオンさせる時点と、その後にオフ制御用トランジスタTR4が駆動用トランジスタTR2をオフとする時点は、同じだけ同じ方向にばらつくことになるので、駆動用トランジスタTR2のオン時間は、両トランジスタTR3、TR4のスレッシュホールドレベルのバラツキに拘わらず、正確にデータ電圧に応じた時間となる。

【0037】

又、高電位の電源VDDから低電位の電源VSSへ繋がる信号ラインには、一対のトランジスタTR5、TR6が介在しており、走査期間及び発光期間を通じて一対のトランジスタTR5、TR6の少なくとも何れか一方がオフとなり、高電位の電源VDDから低電位の電源VSSへの電流通路を遮断するので、高電位の電源VDDから低電位の電源VSSへ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。

【0038】

第3実施例

図6に示す如く、各画素(51)のパルス幅変調回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR3と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR4とを具えている。

有機ELディスプレイ(2)には、各画素(51)に共通の高電位の電源VDDと低電位の電源VSSとが設けられ、高電位の電源VDDには、各画素(51)の駆動用トランジスタTR2のソースが接続されている。電源VDDとVSSの間には、オン制御用トランジスタTR3とオフ制御用トランジスタTR4が互いに並列に

介在すると共に、トランジスタTR5と容量素子C4とが互いに直列に介在し、トランジスタTR5と容量素子C4の連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

【0039】

オン制御用トランジスタTR3のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR4のゲートには、容量素子C1の出力電圧(データ電圧)が供給される。

高電位の電源VDDとトランジスタTR5のゲートには、容量素子C2の両端がそれぞれ接続されると共に、リセット用のトランジスタTR7のソースとドレインがそれぞれ接続され、該トランジスタTR7のゲートに、リセット信号線RESETが接続されている。

【0040】

又、高電位の電源VDDと容量素子C4の一端(B点)には、リセット用のトランジスタTR8のソースとドレインがそれぞれ接続され、該トランジスタTR8のゲートに、リセット信号線RESETが接続されている。

更に、高電位の電源VDDと容量素子C4の他端には、リセット用のトランジスタTR9のソースとドレインがそれぞれ接続され、該トランジスタTR9のゲートに、リセット信号線RESETが接続されている。

【0041】

上記画素(51)から構成される有機EL表示装置においては、図7に示す如く、走査期間での走査電圧SCANの供給によって書き込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積された後、リセット信号RESETがハイからローとなることによって、リセット用の3つのトランジスタTR7、TR8及びTR9がオンとなり、容量素子C2の両端が高電位VDDにセットされると共に、容量素子C4の両端が高電位の電源電圧VDDにセットされる。この結果、トランジスタTR5がオフとなる。

尚、この時点で、他のトランジスタTR2、TR3、TR4はオフとなっている。

【0042】

その後、発光期間において、ランプ電圧 RAMP が上昇して低電位の電源電圧 V_{SS} との差が増大し、オン制御用トランジスタ TR3 のゲートソース間のスレッシュホールドレベル V_{th} を上回ると、該トランジスタ TR3 がオンとなる。これによって容量素子 C4 の両端の電位が低下し、ゲート電圧 (B 点の電圧) の低下によって駆動用トランジスタ TR2 が導通する。この結果、高電位の電源 V_{DD} から有機 EL 素子 (50) に電流が流れて、発光が開始される。

尚、トランジスタ TR5 は、容量素子 C2 によってゲート電圧が高電位に保持され、オフのままである。

【0043】

更にランプ電圧が上昇し、これに伴って A 点の電圧が上昇して低電位 V_{SS} との差が増大し、オフ制御用トランジスタ TR4 のゲートソース間のスレッシュホールドレベル V_{th} を上回ると、該トランジスタ TR4 が導通して、トランジスタ TR5 のゲート電圧を低下させる。これによって該トランジスタ TR5 がオンとなる。この結果、駆動用トランジスタ TR2 のゲート電圧 (B 点の電圧) が上昇して、該トランジスタ TR2 がオフとなり、有機 EL 素子 (50) への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機 EL 素子 (50) の発光終了時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0044】

上記パルス幅変調回路 (90) においても、第 1 実施例及び第 2 実施例と同様に、オン制御用トランジスタ TR3 とオフ制御用トランジスタ TR4 のゲートソース間のスレッシュホールドレベルにバラツキがあったとしても、駆動用トランジスタ TR2 のオン時間は、正確にデータ電圧に応じた時間となる。

又、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ繋がる信号ラインには、容量素子 C4 が介在しているので、走査期間及び発光期間を通じて、高電位の電源 V_{DD} から低電位の電源 V_{SS} へ無駄な電流が流れることはなく、これによって消費電力の節減が図られる。

【0045】

第4実施例

本実施例における各画素(51)の回路構成は、上記第1実施例、第2実施例、或いは第3実施例と同じであるが、図8に示す如く、発光期間の前半と後半でランプ電圧を2回発生させる。

これによって発光を発光期間の前半と後半に分散させることが出来るので、R、G、Bの画素の発光時間のずれによる色割れ(高速に動く物体のエッジの色が変わる現象)を抑制することが出来る。

【0046】

第5実施例

本実施例における各画素(51)の回路構成は、上記第1実施例、第2実施例、或いは第3実施例と同じであるが、図9(a)~(c)に示す如く3原色(R、G、B)の画素のそれぞれについて、異なる傾斜を有するランプ電圧を供給する。

該構成によれば、R、G、Bの画素毎にランプ電圧の傾斜を変えることにより、データ電圧を変えずにホワイトバランスを調整することが出来る。又、図9(a)(b)(c)の3つのパターンを1フレーム毎に切り替えることにより、R、G、Bの画素の発光時間のずれによる色割れ(高速に動く物体のエッジの色が変わる現象)を抑制することが出来る。

【0047】

第6実施例

本実施例の有機EL表示装置は、図10に示す如く、表示パネル(5)に定電流ドライバー(91)を接続し、後述の電流プログラム回路によって各画素の有機EL素子(50)に流れる電流を一定にし、パルス幅変調回路によって有機EL素子(50)に対する通電を制御するものである。

【0048】

該有機EL表示装置において、各画素(51)を構成するパルス幅変調回路(90)には、図11に示す如く電流プログラム回路(92)を介して定電流ドライバー(91)が接続されている。

パルス幅変調回路(90)は、電流オン用トランジスタTR13をオンとするためのオン制御用トランジスタTR11と、電流プログラム回路(92)を構成するトラ

ンジスタTR14をオフとするためのオフ制御用トランジスタTR12とを具えている。電源V_{DD}には、電流プログラム回路(92)を構成するトランジスタTR14を介して、電流オン用トランジスタTR13が接続されている。

電源V_{DD}とトランジスタTR14のゲートにはそれぞれ、容量素子C11の両端が接続されると共に、オフ制御用トランジスタTR12のソース及びドレインが接続されている。又、電源V_{DD}と電流オン用トランジスタTR13のゲートにはそれぞれ、容量素子C12の両端が接続されると共に、オン制御用トランジスタTR11のソース及びドレインが接続されている。

【0049】

更に、容量素子C11とオフ制御用トランジスタTR12のドレインとの連結点は、トランジスタTR15及びTR16を介して、定電流ドライバー(91)に接続されている。又、トランジスタTR15とトランジスタTR16の連結点は、電流オン用トランジスタTR13のドレインに接続されている。

電流オン用トランジスタTR13のゲートとオン制御用トランジスタTR11のドレインの連結点は、トランジスタTR17を介して、電流オン用トランジスタTR13と有機EL素子(50)の連結点に連結され、該トランジスタTR17のゲートにはリセット信号線RESETが接続されている。

【0050】

上記画素(51)から構成される有機EL表示装置においては、図12に示す如く、先ずリセット期間におけるリセット信号RESETの供給によってトランジスタTR17がオンとなり、電流オン用トランジスタTR13がオフとなる。

尚、このとき、トランジスタTR1、TR11、TR12、TR14、TR15及びTR16はオフとなっている。

【0051】

続いて、走査期間において走査電圧SCANの供給により書込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積される。又、トランジスタTR15及びTR16がオンとなると共に、電流プログラム回路(92)のトランジスタTR14が徐々に導通を開始する。この結果、電源V_{DD}からトランジスタTR14及びTR16を経て電流ドライバー

(91)へ向けて、プログラムされた電流が流れ始め、最終的にはトランジスタTR14のゲート電圧が確定する。又、容量素子C11には、プログラムされた電流に応じた電荷が蓄積される。

【0052】

その後、発光期間においてランプ電圧RAMPが低下し、これに伴ってオン制御用トランジスタTR11のゲート電圧が低下して、電源電圧VDDとの差が増大し、オン制御用トランジスタTR11のゲートソース間のスレッシュホールドレベルVthを上回ると、該トランジスタTR11がオンとなる。この結果、電流オン用トランジスタTR13がオンとなり、電源VDDからトランジスタTR14、TR13を経て有機EL素子(50)にプログラムされた電流が流れ、発光が開始される。

【0053】

更にランプ電圧が低下して、電源電圧VDDとの差が増大し、オフ制御用トランジスタTR12のゲートソース間のスレッシュホールドレベルVthを上回ると、該トランジスタTR12がオンとなり、電流プログラム回路(92)のトランジスタTR14がオフとなる。この結果、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光開始時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0054】

上記パルス幅変調回路(90)においても、オン制御用トランジスタTR11とオフ制御用トランジスタTR12のゲートソース間のスレッシュホールドレベルのバラツキに拘わらず、有機EL素子(50)への通電時間は、正確にデータ電圧に応じた時間となる。

又、電源VDDからの電流は、データ電圧に応じた時間だけ有機EL素子(50)に流れるに過ぎず、無駄な電流が流れることはないので、消費電力の節減が図られる。

【0055】

第7実施例

図13に示す如く、各画素(51)の回路構成において、パルス幅変調回路(90)はオン制御用トランジスタTR11とオフ制御用トランジスタTR12とを具えているが、オン制御用トランジスタTR11のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR12のゲートには容量素子C1の出力電圧(データ電圧)が供給されている点を除き、第6実施例と同じ構成である。

【0056】

該画素(51)からなる有機EL表示装置においては、図14の如く、発光期間においてランプ電圧RAMPが低下し、これに伴ってオン制御用トランジスタTR11のゲート電圧が低下して電源電圧 V_{DD} との差が増大し、オン制御用トランジスタTR11のゲートソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR11がオンとなる。これによって、電流オン用トランジスタTR13が導通する。この結果、電源 V_{DD} からトランジスタTR14、TR13を経て有機EL素子(50)に電流が流れ、発光が開始される。

【0057】

更にランプ電圧が低下して、電源電圧 V_{DD} との差が増大し、オフ制御用トランジスタTR12のゲートソース間のスレッショルドレベル V_{th} を上回ると、該トランジスタTR12がオンとなり、電流プログラム回路(92)のトランジスタTR14がオフとなる。この結果、有機EL素子(50)への通電が停止されて、発光が終了することになる。

上述の如く、データ電圧の大きさに応じて有機EL素子(50)の発光終了時点が変化することにより、発光時間がデータ電圧の大きさに比例して変化し、多階調表現が実現される。

【0058】

上記パルス幅変調回路(90)においても、有機EL素子(50)への通電時間は、正確にデータ電圧に応じた時間となる。又、電源 V_{DD} からの電流は、データ電圧に応じた時間だけ有機EL素子(50)に流れるに過ぎず、無駄な電流が流れることはないので、消費電力の節減が図られる。

【0059】

第8実施例

本実施例は図15に示す如く、各画素(51)の回路構成において、図2に示す第1実施例のパルス幅変調回路(90)に図11に示す電流プログラム回路(92)を接続したものであって、図16に示す様に第1実施例と同じ動作が行なわれて、有機EL素子(50)に対する通電が制御される。

【0060】

第9実施例

本実施例の有機EL表示装置においては、図17に示す如く、互いに近接する複数の画素(51a)(51b)(51c)を1つの画素グループとして、その中の1つの画素(51a)の回路構成として、パルス幅変調回路(90)が組み込まれているが、他の画素(51b)(51c)の回路構成としては、パルス幅変調回路(90)の一部の回路のみを組み込み、他の回路部分は、同一画素グループ内の画素(51a)(51b)(51c)で共用している。

【0061】

前記1つの画素(51a)に組み込まれているパルス幅変調回路(90)は、駆動用トランジスタTR2をオンとするためのオン制御用トランジスタTR11と、駆動用トランジスタTR2をオフとするためのオフ制御用トランジスタTR12とを具えている。

又、該画素(51a)には、高電位の電源 V_{DD} と低電位の電源 V_{SS} とが接続され、高電位の電源 V_{DD} は、駆動用トランジスタTR2を介して有機EL素子(50)に繋がっている。

【0062】

電源 V_{DD} と V_{SS} の間には、前記のオン制御用トランジスタTR11とオフ制御用トランジスタTR12が互いに並列に介在すると共に、容量素子C21と2つのトランジスタTR21、TR22が互いに直列に介在し、オフ制御用トランジスタTR12と容量素子C21の連結点Bが、駆動用トランジスタTR2のゲートに接続されている。

又、高電位の電源 V_{DD} はトランジスタTR23を介してトランジスタTR21のドレインに接続され、両トランジスタTR23、TR21のゲートにはそれ

ぞれ、第1リセット信号線RST1が接続されている。

【0063】

更に、トランジスタTR22のゲートと低電位の電源VSSには、トランジスタTR24のドレイン及びソースが接続され、該トランジスタTR24のゲートには、第2リセット信号線RST2が接続されている。

オン制御用トランジスタTR11のゲートにはランプ電圧RAMPが供給され、オフ制御用トランジスタTR12のゲートには、容量素子C1の出力電圧(データ電圧)が供給される。

【0064】

一方、上記画素(51a)に隣接する画素(51b)(51c)には、前記パルス幅変調回路(90)の構成要素であるオフ制御用トランジスタTR12と容量素子C21のみが配備され、各画素の容量素子C21が低電位側にて互いに連結されている。

【0065】

上記画素(51a)(51b)(51c)から構成される有機EL表示装置においては、図18に示す如く、走査期間での走査電圧SCANの供給によって各画素の書込み用トランジスタTR1がオンし、容量素子C1にデータ電圧DATA(A点の電圧)に応じた電荷が蓄積されて、データの書込みが行なわれる。

尚、この時点で、トランジスタTR2、TR11、TR12、TR21、TR22、TR23及びTR24は全てオフとなっている。

【0066】

その後、発光期間において、ランプ電圧RAMPが低下して高電位VDDとの差が増大し、オン制御用トランジスタTR11のゲート-ソース間のスレッショルドレベルVthを上回ると、該トランジスタTR11がオンとなる。これによって、トランジスタTR22がオンとなると同時に、トランジスタTR21もオンとなり、各画素に配備された容量素子C21の両端の電圧が低下する。この結果、各画素の駆動用トランジスタTR2がオンとなって、高電位の電源VDDから有機EL素子(50)に電流が流れ、発光が開始される。

更にランプ電圧が低下し、これに伴ってA点の電圧が低下して高電位VDDとの差が増大し、オフ制御用トランジスタTR12のゲート-ソース間のスレッシ

ォルドレベル V_{th} を上回ると、該トランジスタ TR_{12} がオンとなって、B 点の電位が上昇する。この結果、駆動用トランジスタ TR_2 がオフとなり、有機 EL 素子 (50) への通電が停止されて、発光が終了することになる。

【0067】

続いてリセット期間において、先ず第 1 リセット信号 RST_1 がハイからローに切り替わることによって、トランジスタ TR_{23} がオンになると同時に、トランジスタ TR_{21} がオフとなり、各画素の容量素子 C_{21} とトランジスタ TR_{21} の連結点の電位が上昇し、該容量素子 C_{21} の両端が高電位にセットされることになる。

次に、ランプ電圧がハイまで上昇すると、オン制御用トランジスタ TR_{11} とオフ制御用トランジスタ TR_{12} がオフとなり、続いて第 2 リセット信号 RST_2 が一定時間だけハイとなることによって、トランジスタ TR_{24} がオンとなり、トランジスタ TR_{22} がオフとなる。

その後、第 1 リセット信号 RST_1 がハイとなることによって、トランジスタ TR_{23} がオフとなる。

この様に制御することにより、電源 V_{DD} と V_{SS} 間に貫通電流が流れないようにすることが出来る。

【0068】

上記有機 EL 表示装置によれば、互いに近接する複数の画素 (51a) (51b) (51c) の内、1 つの画素 (51a) には、パルス幅変調回路 (90) の全ての回路構成を配備するが、他の画素 (51b) (51c) には、パルス幅変調回路 (90) の一部の回路構成のみを配備すればよいので、表示パネル全体としてトランジスタの数が減少し、これによって表示パネルの開口率や歩留まりの向上を図ることが出来る。

【0069】

尚、上記実施例では、表示素子が電流駆動素子の場合について述べたが、電圧駆動素子の場合には駆動用トランジスタ TR_2 を省略することが出来る。又、トランジスタの寄生容量や配線容量で代用出来る場合は、コンデンサ C_2 、 C_3 、 C_{12} 及び C_{22} は省略することが出来る。

更に、第 1 ～ 第 5 実施例において、リセット信号の印加は、発光期間以外であ

れば、時刻や期間を自由に設定することが可能である。

【図面の簡単な説明】

【図 1】

本発明の有機 EL 表示装置の構成を示すブロック図である。

【図 2】

第 1 実施例における画素の回路構成を示す図である。

【図 3】

該回路構成の動作を示す波形図である。

【図 4】

第 2 実施例における画素の回路構成を示す図である。

【図 5】

該回路構成の動作を示す波形図である。

【図 6】

第 3 実施例における画素の回路構成を示す図である。

【図 7】

該回路構成の動作を示す波形図である。

【図 8】

第 4 実施例における動作を示す波形図である。

【図 9】

第 5 実施例における動作を示す波形図である。

【図 10】

第 6 実施例における有機 EL 表示装置の構成を示すブロック図である。

【図 11】

第 6 実施例における画素の回路構成を示す図である。

【図 12】

該回路構成の動作を示す波形図である。

【図 13】

第 7 実施例における画素の回路構成を示す図である。

【図 14】

該回路構成の動作を示す波形図である。

【図 15】

第 8 実施例における画素の回路構成を示す図である。

【図 16】

該回路構成の動作を示す波形図である。

【図 17】

第 9 実施例における複数画素の回路構成を示す図である。

【図 18】

該回路構成の動作を示す波形図である。

【図 19】

従来の有機 EL 表示装置における画素の回路構成を示す図である。

【図 20】

出願人の提案する有機 EL 表示装置における画素の回路構成を示す図である。

【図 21】

該回路構成の動作を示す波形図である。

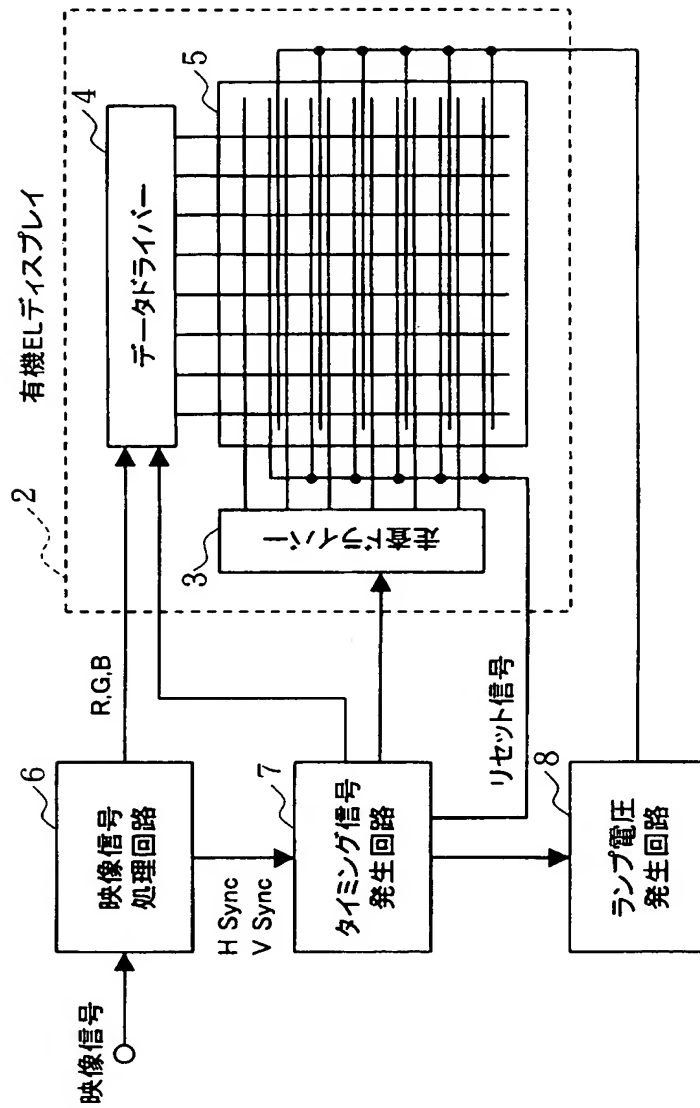
【符号の説明】

- (2) 有機 EL ディスプレイ
- (3) 走査ドライバー
- (4) データドライバー
- (5) 表示パネル
- (6) 映像信号処理回路
- (7) タイミング信号発生回路
- (8) ランプ電圧発生回路
- (51) 画素
- (50) 有機 EL 素子
- (90) パルス幅変調回路

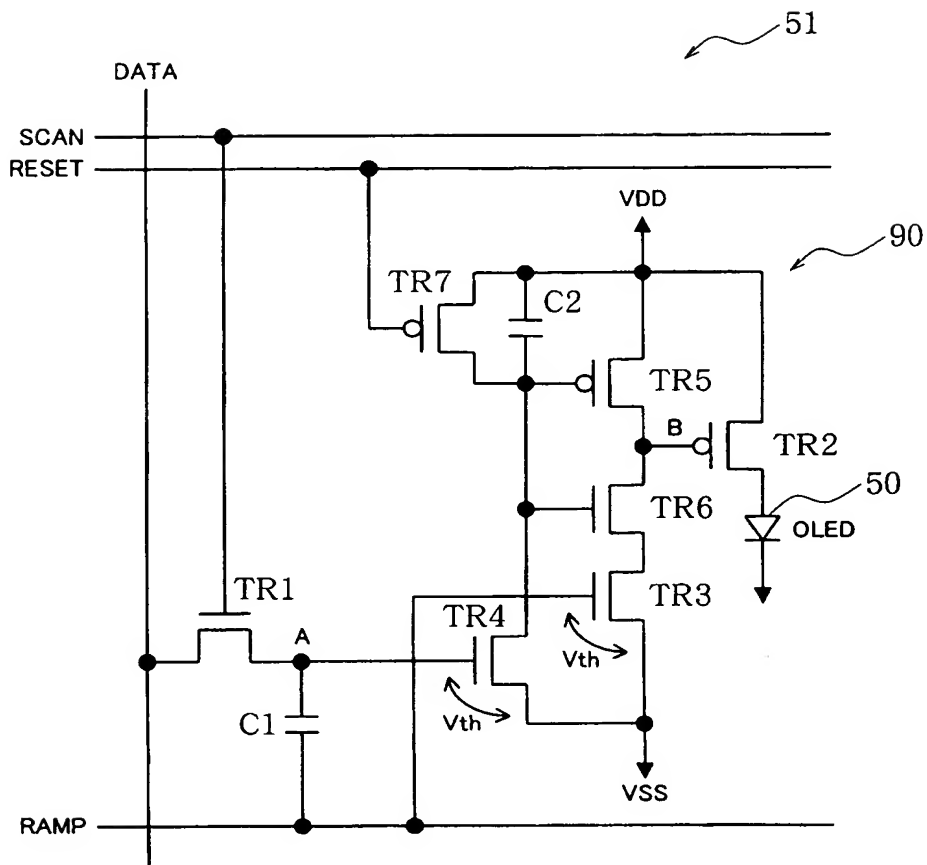
【書類名】

図面

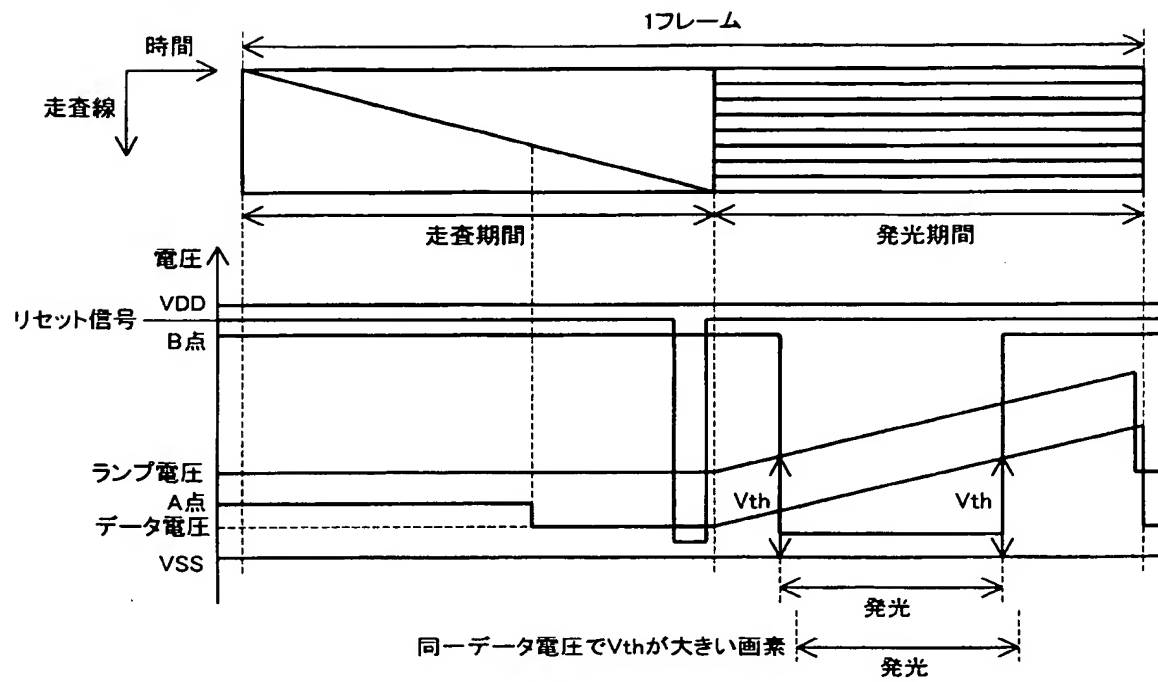
【図 1】



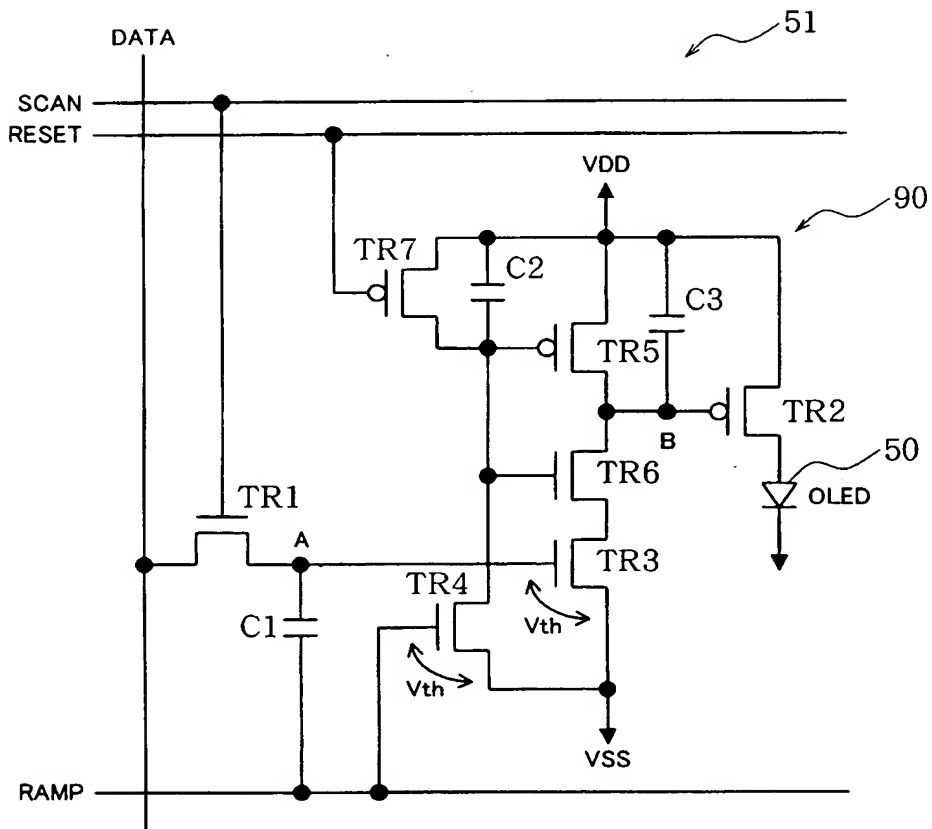
【図 2】



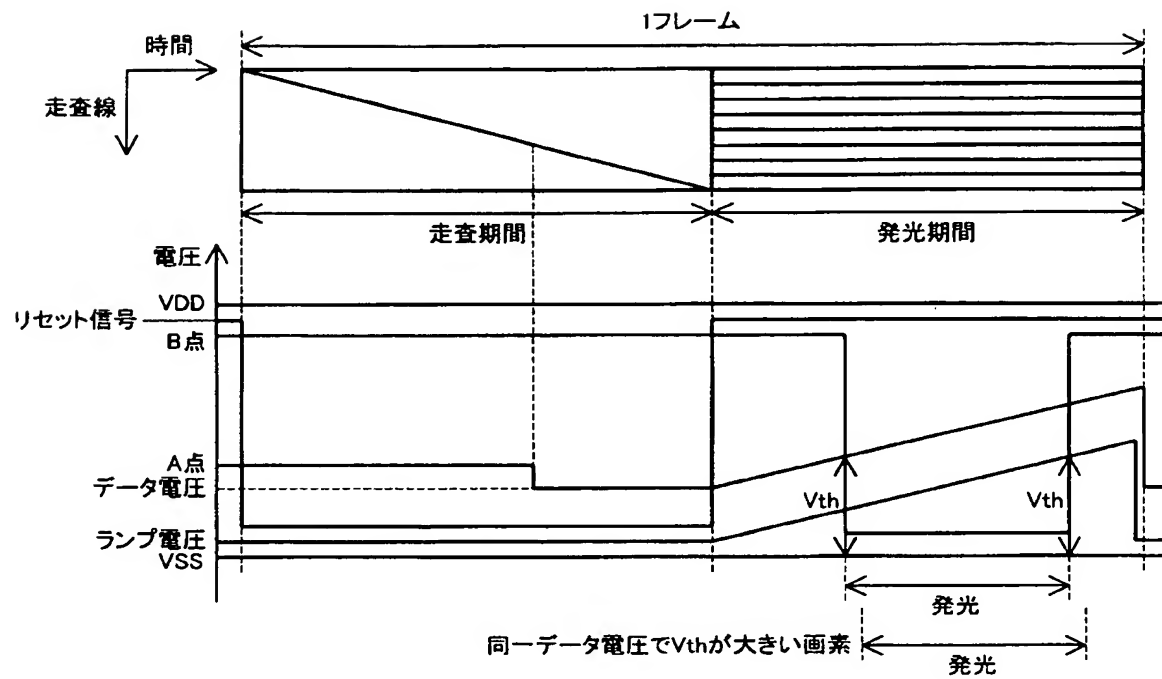
【図 3】



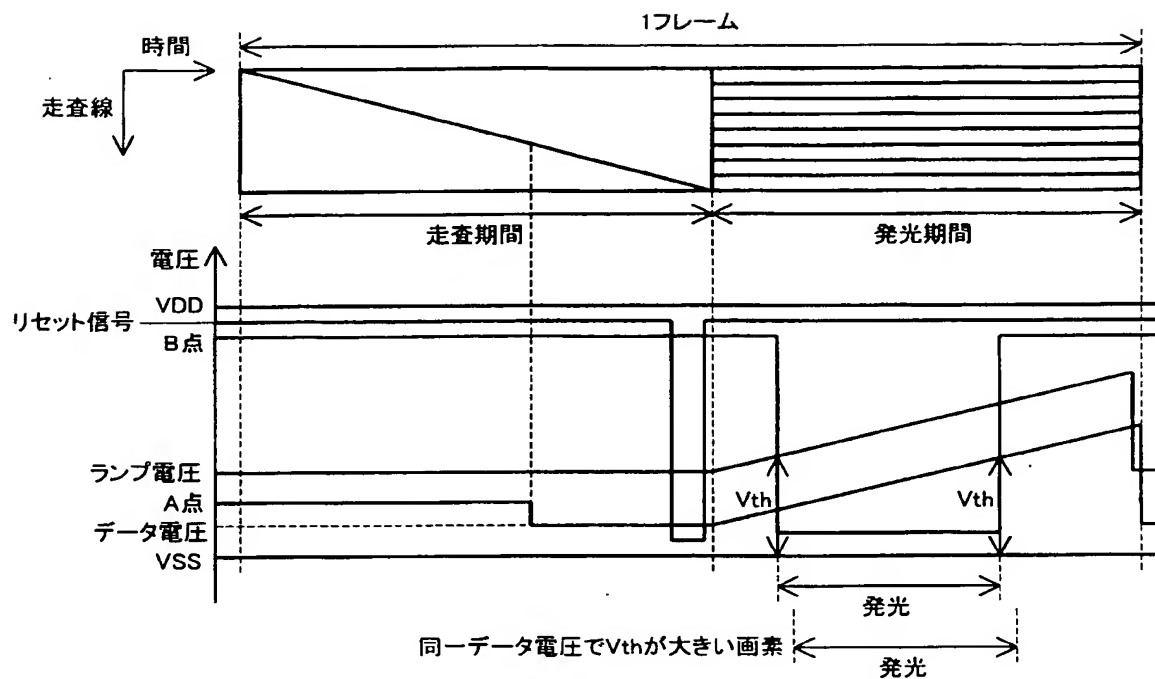
【図 4】



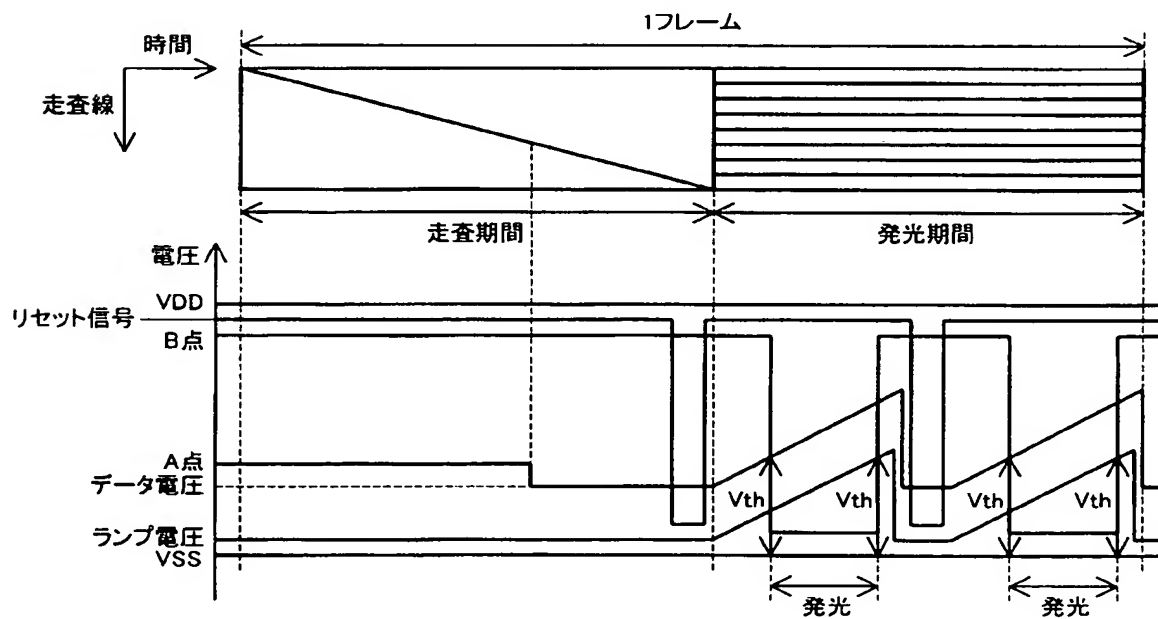
【図 5】



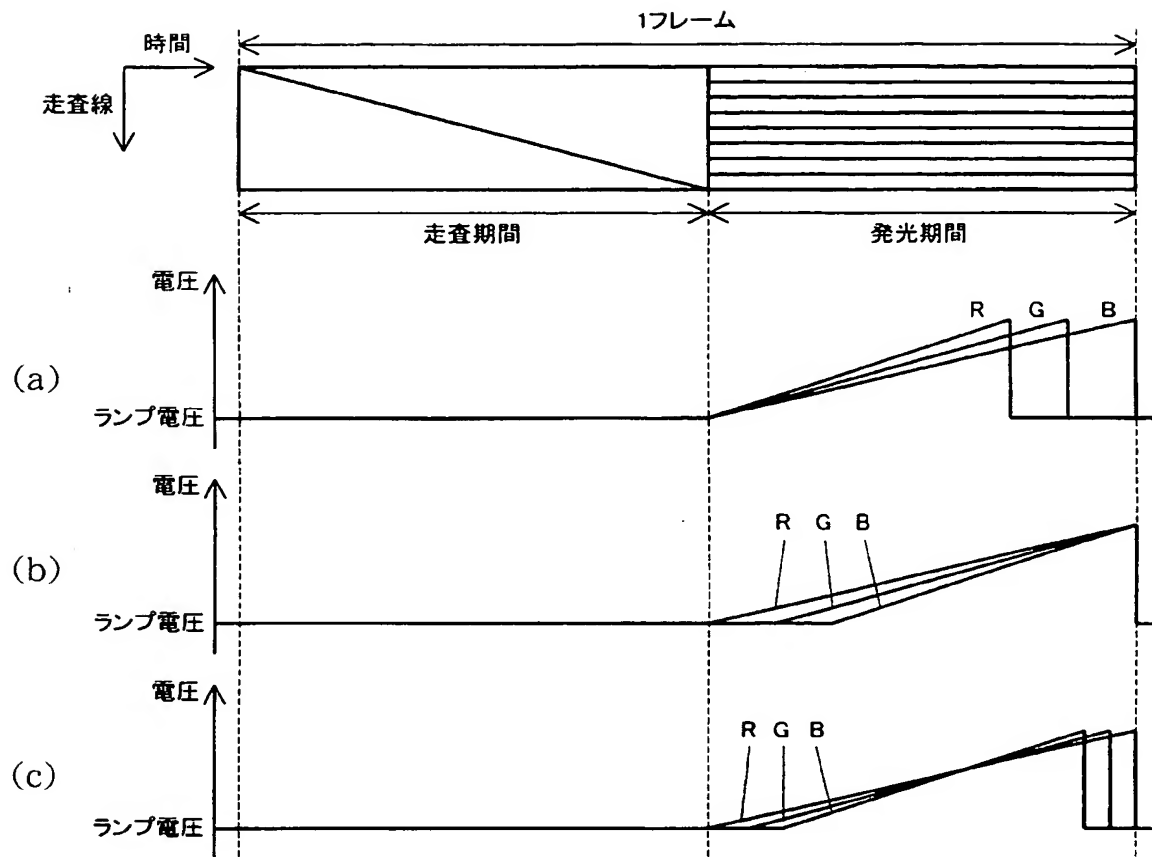
【図 7】



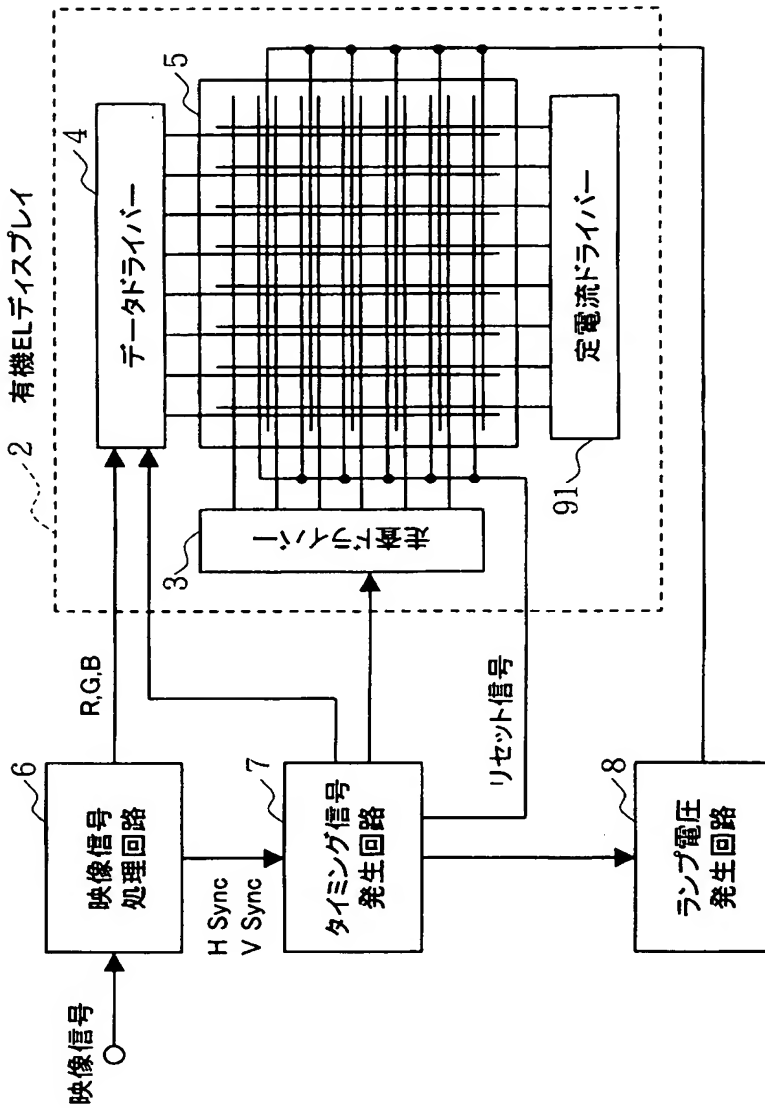
【図 8】



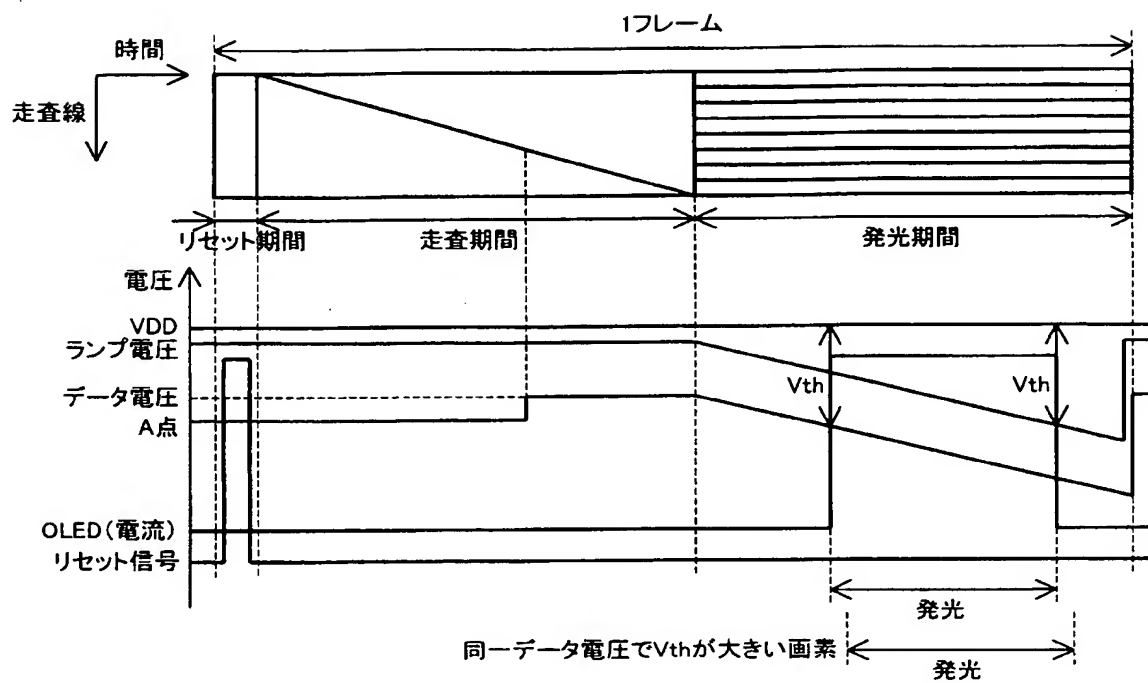
【図 9】



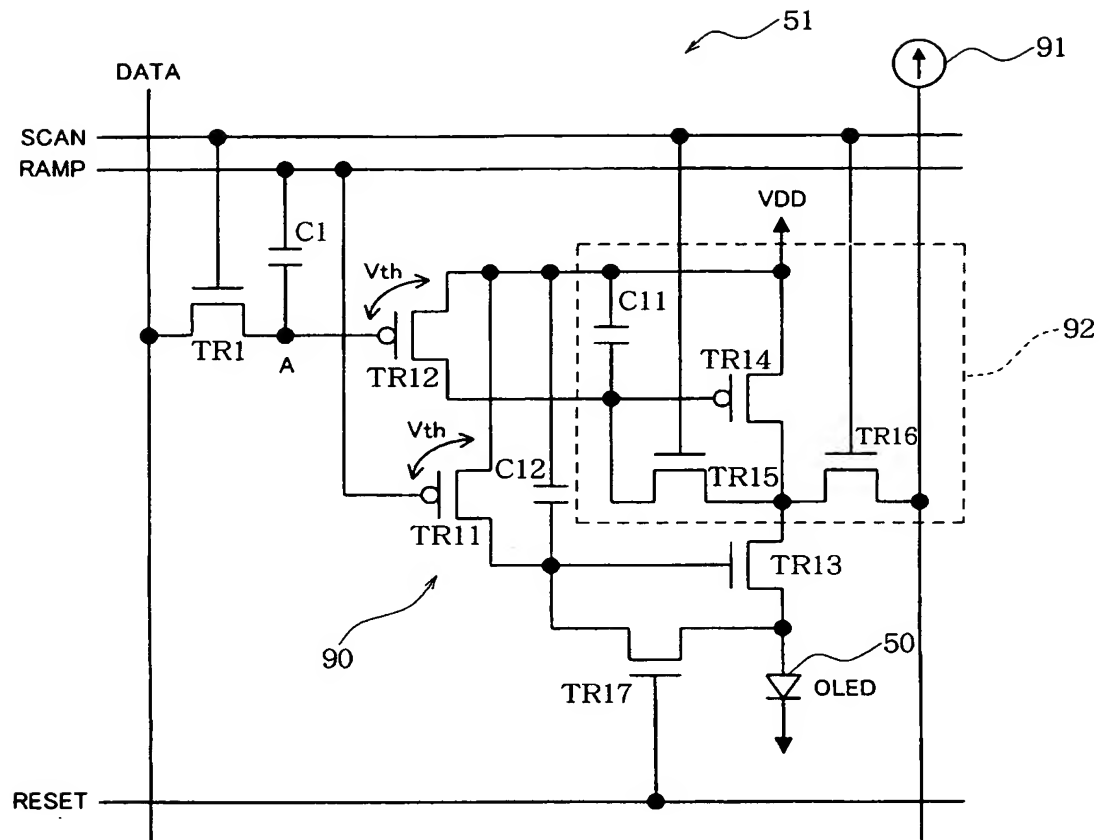
【図 10】



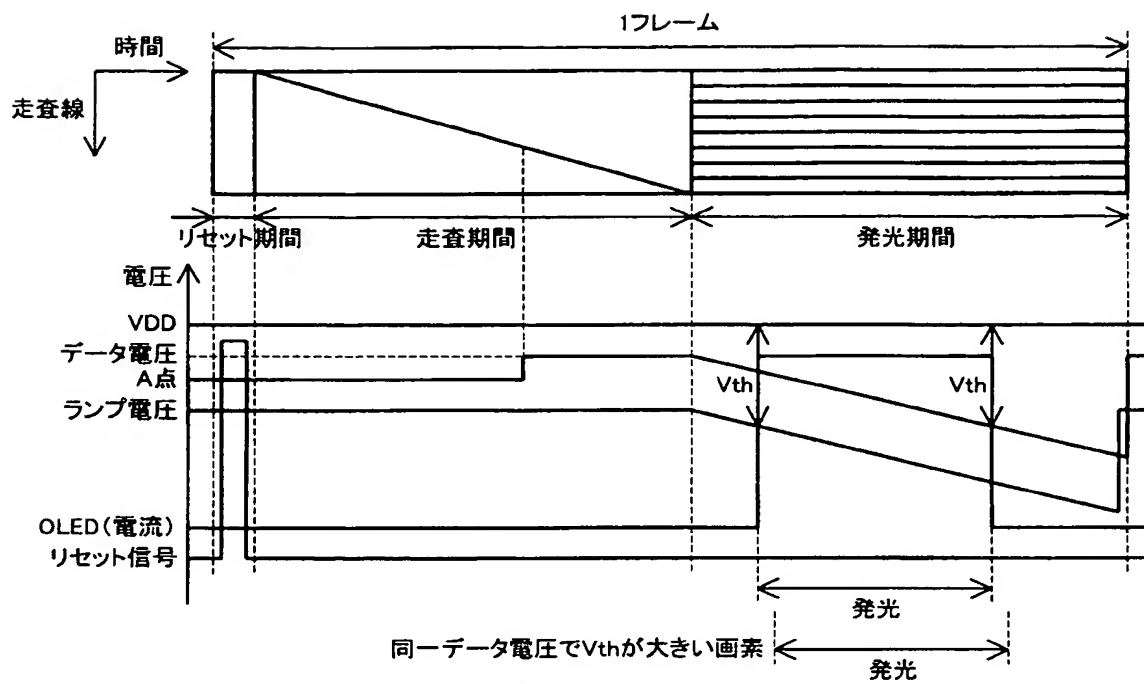
【図 12】



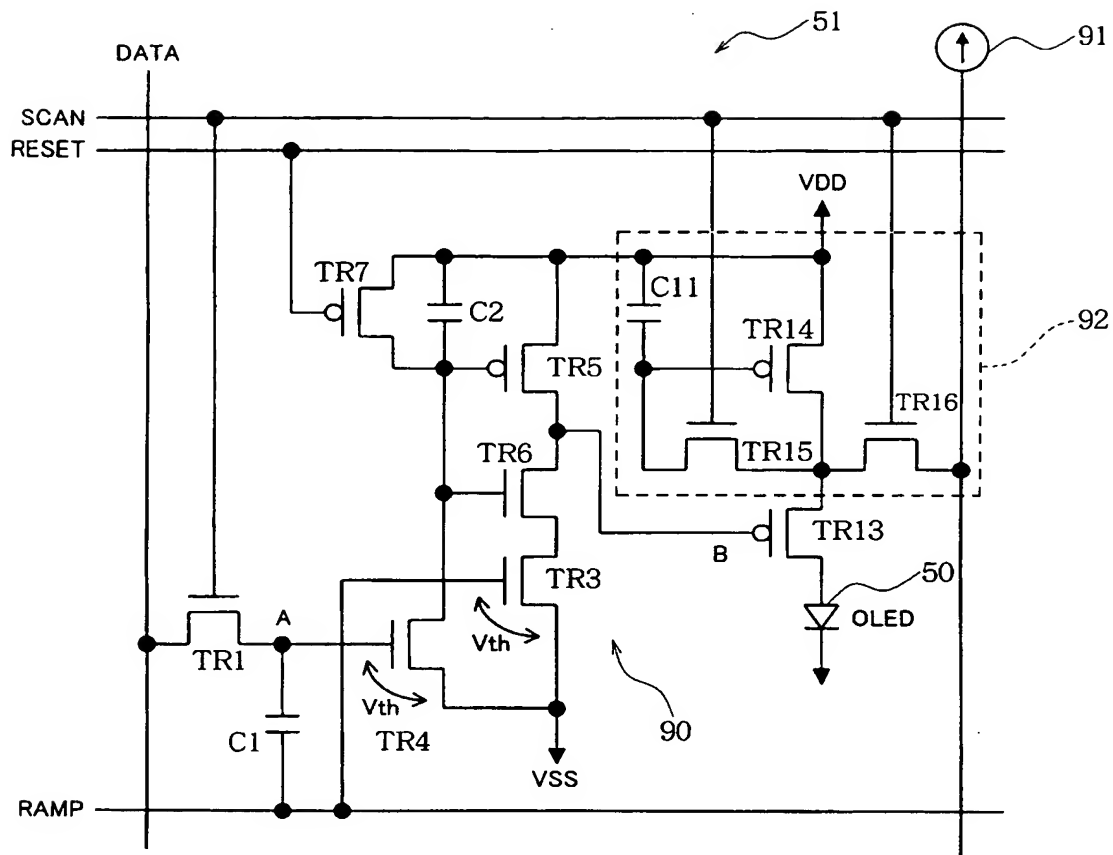
【図 13】



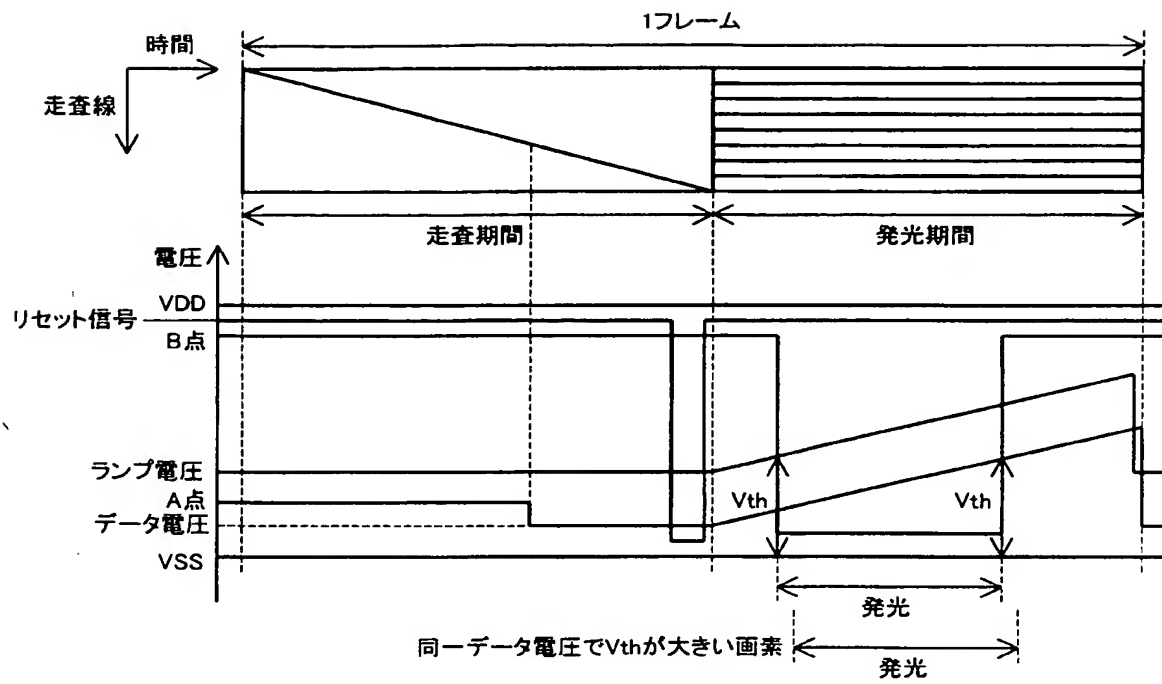
【図 14】



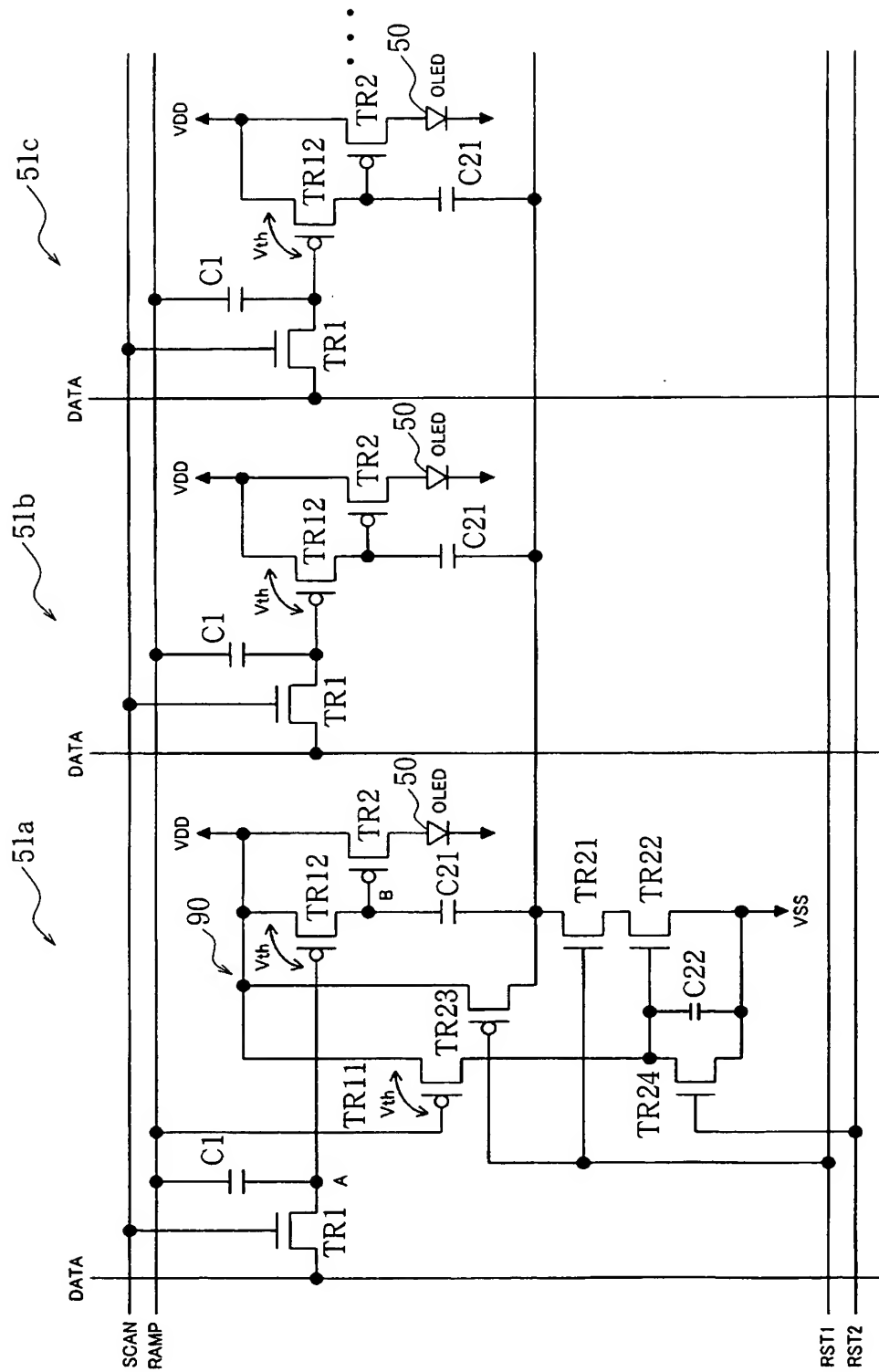
【図 15】



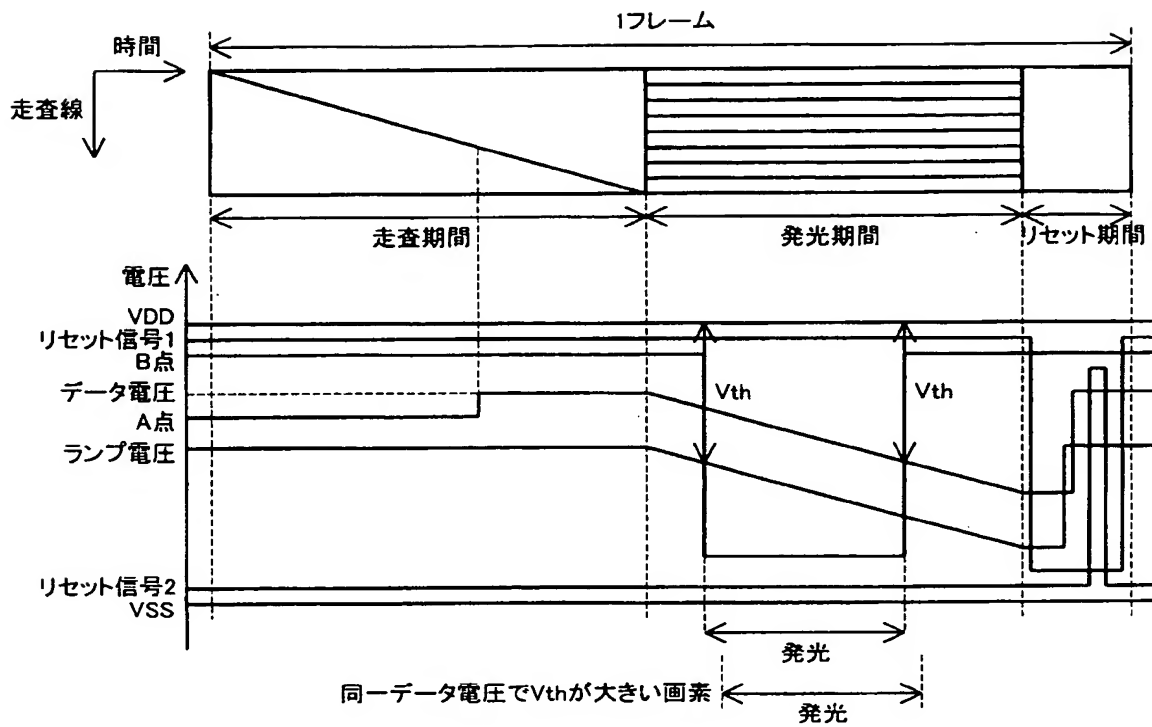
【図 16】



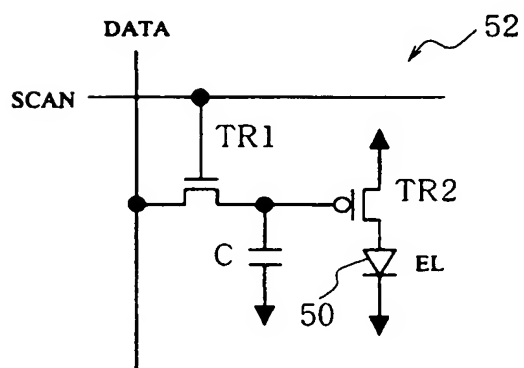
【図・17】



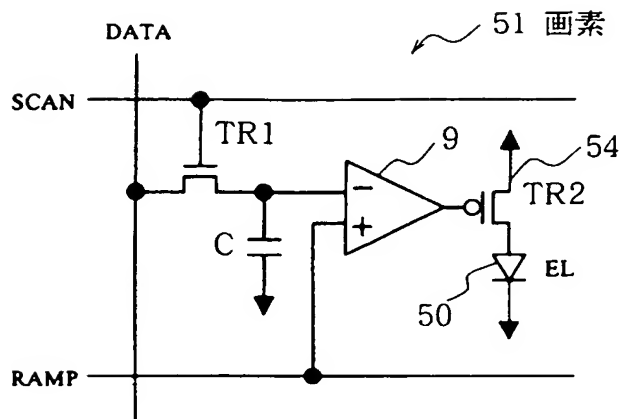
【図 18】



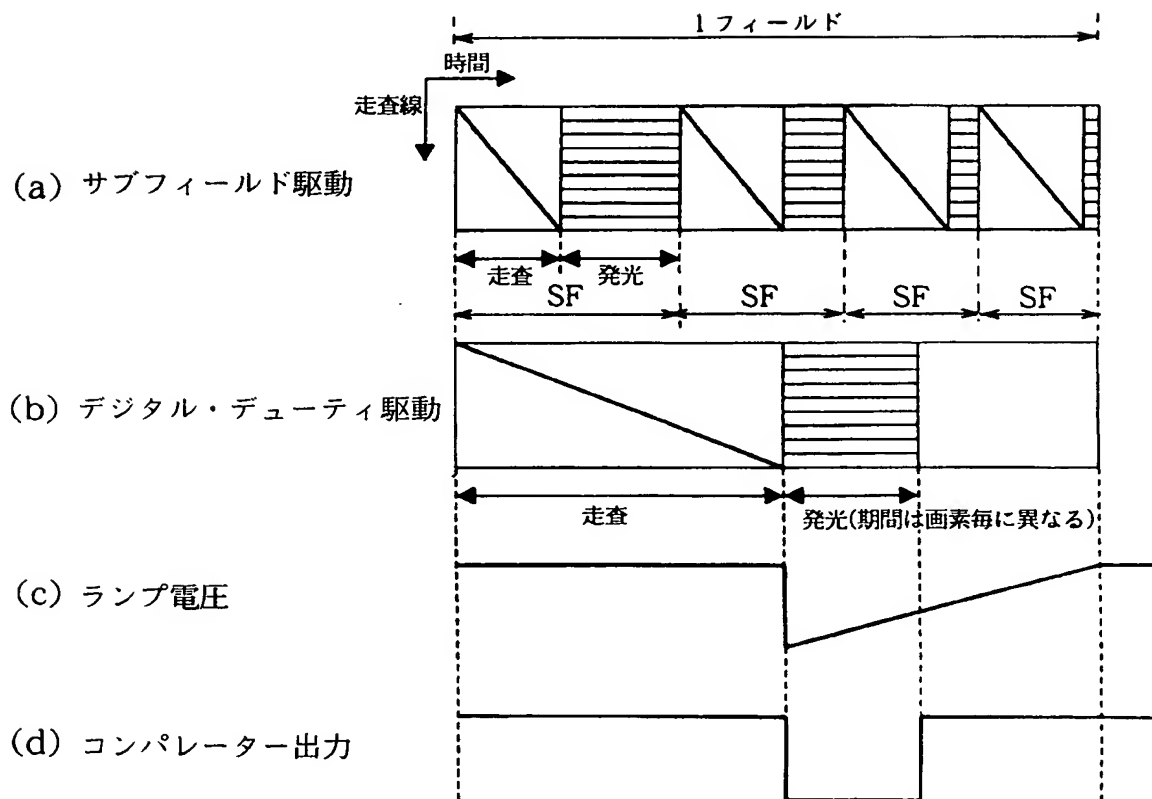
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 複数の画素 51 をマトリクス状に配列して構成されるデジタル駆動型の表示装置において、表示素子に対する通電時間をデータ電圧に正確に比例させて制御すると共に、消費電力を抑制する。

【解決手段】 本発明に係るデジタル駆動型表示装置において、各画素 51 は、有機 EL 素子 51 と、有機 EL 素子 51 に対する通電をオン／オフする駆動用トランジスタ TR2 と、走査電圧が印加されて導通状態となる書込み用トランジスタ TR1 と、書込み用トランジスタ TR1 が導通状態となることによってデータ電圧が印加される容量素子 C1 と、ランプ電圧と容量素子 C1 の出力電圧との差をパルス幅変調して駆動用トランジスタ TR2 をオン／オフ制御するパルス幅変調回路 90 とを具え、該パルス幅変調回路 90 は、オン制御用トランジスタ TR3 とオフ制御用トランジスタ TR4 とを具えている。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2003-011046
受付番号	50300079593
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 1月21日

<認定情報・付加情報>

【提出日】	平成15年 1月20日
-------	-------------

次頁無

特願 2 0 0 3 - 0 1 1 0 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社